

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

H. Koyanagi #2
7/10/01
Q65388
10f1
JC971 U.S. PTO
09/901060
07/10/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 7月12日

出 願 番 号

Application Number:

特願2000-211607

出 願 人

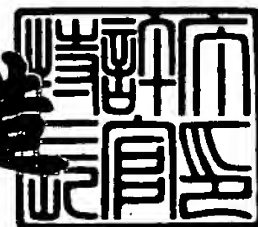
Applicant(s):

日本電気株式会社

2001年 3月16日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3020226

【書類名】 特許願

【整理番号】 66206240

【提出日】 平成12年 7月12日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 15/347
G06F 9/38
G06F 12/08

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 小柳 尚夫

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ベクトルスキャタ命令制御回路及びベクトル型情報処理装置

【特許請求の範囲】

【請求項 1】

命令セットとして、スキャタ領域が指定される領域指定付ベクトルスキャタ命令を設け、

前記領域指定付ベクトルスキャタ命令がアクセスするアドレスと、前記ベクトルスキャタ命令の後続のメモリアクセス命令のアドレスとが重なっているか否かを検出する手段と、

アドレスが重なっている場合には、前記後続のメモリアクセス命令をホールドさせる手段と、

を備えたことを特徴とするベクトルスキャタ命令制御回路。

【請求項 2】

キャッシュ無効化が終了するまで、前記後続のメモリアクセス命令がホールドされる、ことを特徴とする、請求項 1 記載のベクトルスキャタ命令制御回路。

【請求項 3】

ベクトル型情報処理装置において、

領域開始アドレスと領域終了アドレスが指定される領域指定付ベクトルスキャタ命令の領域開始アドレスと、領域終了アドレスを格納するレジスタと、

前記領域指定付ベクトルスキャタ命令の後続のメモリアクセス命令がアクセスするアドレスが、前記領域指定付ベクトルスキャタ命令の前記領域開始アドレスと前記領域終了アドレスで規定されるスキャタ領域内にあるか否かを判定し、前記後続のメモリアクセス命令のアドレスが前記スキャタ領域内にある場合に、アドレス一致信号を出力する回路と、を有するベクトルスキャタ（VSC）アドレス一致検出部を備え、

命令発行制御部において、前記ベクトルスキャタアドレス一致検出部からのアドレス一致信号を受けて、前記後続メモリアクセス命令をホールドさせるホールド制御回路を備えたことを特徴とするベクトル型情報処理装置。

【請求項 4】

命令データを解読して、命令動作を指示する命令発行制御部と、

前記命令発行制御部からのアドレスを受け取り、キャッシュの制御を行うキャッシュ制御部と、

前記命令発行制御部からベクトル命令が発行された場合、実行指示を受け取り、前記ベクトル命令が、スキヤタ領域の領域開始アドレスと領域終了アドレスが指定される領域指定付ベクトルスキヤタ命令である場合、メモリに対して、書き込むべきベクトルデータを送出するとともに、更に、キャッシュ無効化アドレスを送出するベクトルユニットと、

前記ベクトルユニットからキャッシュ無効化アドレスを受け取り前記キャッシュの無効化を行うキャッシュ無効化制御部と、

前記命令発行制御部から、前記領域指定付ベクトルスキヤタ命令が発行された場合、前記命令発行制御部からアクセスされるレジスタブロックより、前記領域指定付ベクトルスキヤタ命令のスキヤタ領域の領域開始アドレスと、領域終了アドレスとを受け取り、前記領域指定付ベクトルスキヤタ命令の後続のメモリアクセス命令とアクセスするアドレス領域が重なっているか否かを検出し、アドレスが重なっている場合に、アドレス一致信号をアクティブ状態として、前記命令発行制御部に対して送出手するベクトルスキヤタ（VSC）アドレス一致検出部と、

を備え、

前記命令発行制御部が、前記ベクトルスキヤタアドレス一致検出部から送出手されたアクティブ状態の前記アドレス一致信号を受けて、前記後続のメモリアクセス命令をホールドさせるように制御するホールド制御回路を備えたことを特徴とする、ベクトル型情報処理装置。

【請求項5】

前記ホールド制御回路は、前記ベクトルスキヤタアドレス一致検出部からの前記アドレス一致信号がインアクティブのときには、前記後続のメモリアクセス命令をホールドさせない、ことを特徴とする、請求項4記載のベクトル型情報処理装置。

【請求項6】

前記ホールド制御回路は、前記キャッシュ無効化制御部よりキャッシュ無効化

の終了の通知を受けるまで、前記後続のメモリアクセス命令をホールドさせる、ことを特徴とする、請求項4又は5記載のベクトル型情報処理装置。

【請求項7】

前記ベクトルスキャタアドレス一致検出部が、前記後続のメモリアクセス命令のアクセスアドレスと、前記領域指定付ベクトルスキャタ命令の領域開始アドレスとを比較し、前記後続のメモリアクセス命令のアクセスアドレスが前記領域開始アドレス以上であるときアクティブ状態の信号を出力する第1の比較器と、

前記後続のメモリアクセス命令のアクセスアドレスと前記領域指定付VSC命令の領域終了アドレスとを比較し、前記後続のメモリアクセス命令のアクセスアドレスが前記領域終了アドレス以下であるときアクティブ状態の信号を出力する第2の比較器と、

前記第1の比較器と前記第2の比較器の出力がともにアクティブ状態のとき、前記アドレス一致信号をアクティブ状態として出力する論理回路と、

を備えたことを特徴とする、請求項4乃至6のいずれか一に記載のベクトル型情報処理装置。

【請求項8】

前記領域指定付ベクトルスキャタ命令が、命令コードとして、オペランドの所定のフィールドで、前記レジスタブロックの2本のレジスタを指定し、それぞれに、スキャタ領域の領域開始アドレスと領域終了アドレスを指定する、構成とされている、ことを特徴とする、請求項4乃至7のいずれか一に記載のベクトル型情報処理装置。

【請求項9】

前記ホールド制御部は、前記ベクトルスキャタアドレス一致検出部から送出されたアクティブ状態の前記アドレス一致信号を受けて、前記後続のメモリアクセス命令に、さらに後続する命令が存在する場合には、これらの命令も前記命令発行制御部内の各ステージにホールドさせる、ことを特徴とする、請求項4乃至7のいずれか一に記載のベクトル型情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ベクトル型情報処理装置に関し、特に、ベクトルスキャタ命令制御回路に関する。

【0002】

【従来の技術】

ベクトル型情報処理装置において、通常、ベクトル命令でアクセスされるメモリ領域は、キャッシュに登録されない。

【0003】

その理由は、ベクトル命令が対象とするデータは、一般に参照の局所性が乏しく、キャッシュに登録しても、直ちに他のキャッシュラインデータによって、スワップアウトされ、キャッシュのヒット率が低下する、ためである。

【0004】

また、ベクトル型情報処理装置において、ベクトルのメモリアクセス命令には、VST（ベクトルストア）／VLD（ベクトルロード）命令のように、開始アドレスとアクセスするベクトルデータの間隔（ディスタンス）によって、規定するものがある。

【0005】

このうち、VLD命令は、この規定されたアドレスに従って、ベクトルユニット内に存在する「ベクトルレジスタ」と呼ばれる複数ワードからなるベクトルデータ格納領域に、メモリのデータを取り込む。

【0006】

逆に、VST命令は、ベクトルレジスタのデータを、メモリに書き込む。

【0007】

このVST命令は、命令発行時点で、アクセスするアドレスを認識することが可能であるため、VST命令を、VLD命令やスカラロード命令が追い越し制御することによって、性能向上を図ることが比較的容易である。

【0008】

一方、VGT（ベクトルギャザ）／VSC（ベクトルスキャタ）命令のような、いわゆる「リストベクトル」と呼ばれる命令では、ベクトルユニット内に存在

するベクトルレジスタの値を、メモリのアクセスアドレスとしているため、ベクトルユニットに、命令が到達した時点で、初めてアクセスするアドレスが判り、且つ、そのアドレスは、一般に、ランダムである。

【 0 0 0 9 】

本発明の理解のために、リストベクトル命令について、図 8 を参照して、説明しておく。

【 0 0 1 0 】

まず、図 8 (a) に示すように、VGT 命令 (ベクトルギャザ命令) は、ベクトルレジスタ V_y の各要素に格納されているアドレス $VA(n)$ のメモリデータを、ベクトルレジスタ V_x の対応する要素に格納するように、メモリからデータをロードするものである。

【 0 0 1 1 】

また図 8 (b) に示すように、VSC 命令 (ベクトルスキャタ命令) は、ベクトルレジスタ V_y の各要素に格納されているアドレス $VA(n)$ のメモリ領域へ、ベクトルレジスタ V_x の対応する要素データを格納するように、メモリにデータをストアするものである。

【 0 0 1 2 】

ベクトルメモリアクセス命令とは対照的に、スカラメモリアクセス命令の場合、一般的に、データ参照の局所性があることから、通常、キャッシュメモリにデータを格納し、メモリアクセスのレイテンシを隠す方式が採用されている。

【 0 0 1 3 】

【発明が解決しようとする課題】

このようなキャッシュを用いたベクトル型情報処理装置において、ベクトルメモリアクセス命令が発行され、メモリへの書き込みが発生した場合、キャッシュの一致性を維持するために、アクセスするアドレスがキャッシュ内に登録されている場合には、キャッシュ無効化を行う必要がある。これによって、後続キャッシュアクセス命令がストールし、性能低下の主要因になっている。

【 0 0 1 4 】

そして、キャッシュ無効化処理は、VST (ベクトルストア) 命令とVSC (

ベクトルスキャタ) 命令では異なる。

【0015】

VST命令の場合、命令発行時に、開始アドレスとディスタンスが決定されるので、これら2つのデータによって、比較的、高速に、キャッシュ無効化ができると共に、アクセスする開始アドレスと、終了アドレスを即座に計算できることから、後続のスカラLD(ロード)命令とのアドレスが一致しない場合に、後続命令に、追い越し制御させることができる。

【0016】

一方、VSC(ベクトルスキャタ)命令の場合には、アクセスするアドレスが、ベクトルレジスタを読み出した後でなければ分からないこと、及び、アドレスがランダムであることから、ベクトルユニットから、スカラユニット内のキャッシュ無効化制御部(図1の4参照)に、無効化アドレスが送られ、該無効化アドレスに合致するキャッシュデータを無効化する処理を行う必要がある。

【0017】

このため、VSC命令に後続する全てのメモリアクセス命令は、このキャッシュ無効化処理が終了しないと、命令を発行することができず、性能低下が発生する。

【0018】

この問題について、図6及び図7を参照して具体的に説明する。

【0019】

まず、説明を容易にするため、スカラロード(キャッシュアクセス)命令であるLDS命令について、図7を参照して説明する。このLDS命令は、VGT/VSC命令と同様、OPC(オペコード)と、オペランドX、Y、Zの計4つのフィールドから構成され、アドレスは、 $R_y + R_z$ で計算され、アドレス $R_y + R_z$ のメモリから読み出した結果 $M(R_y + R_z)$ は、レジスタ R_x に格納される。

【0020】

さて、図6(a)において、まずVST(ベクトル)命令の発行後、キャッシュ無効化が行われ、それとほぼ同時に、ベクトルからのメモリへの書込みが行な

われる。

【 0 0 2 1 】

その後続の L D S 命令は、V S T 命令のアドレスとそのアドレスが重ならなければ、たとえ、キャッシュが無効化されていても、命令を発行することができる。

【 0 0 2 2 】

一方、図 6 (b) を参照すると、V S C (ベクトルスキャタ) 命令の場合、キャッシュ無効化処理が行なわれるのは、ベクトルの処理が始まり、無効化アドレスが送られてくる時であり、また、V S C 命令の発行直後にアクセスするアドレスは不明であり、しかも、ランダムであることから、キャッシュ無効化が終了するまで、後続の L D S 命令がホールドで待たされる。

【 0 0 2 3 】

このように、V S C 命令に後続する全てのメモリアクセス命令は、このキャッシュ無効化処理が終了しないと、命令を発行することができず、性能低下が発生する。

【 0 0 2 4 】

したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、ベクトル処理装置において、ベクトルスキャタ命令でのキャッシュ無効化処理による後続命令の発行延期の回避と、ベクトルスキャタ命令の追い越し制御を可能とし、性能向上を実現する装置を提供することにある。

【 0 0 2 5 】

【課題を解決するための手段】

前記目的を達成する本発明は、アクセスするメモリのアドレスの範囲が指定される領域指定付ベクトルスキャタ命令のアクセスするアドレスが、後続のメモリアクセス命令のアドレスと重なっているか否かを検出する手段と、アドレスが一致した後続のメモリアクセス命令をホールドさせる手段とを備えている。

【 0 0 2 6 】

【発明の実施の形態】

本発明の実施の形態について説明する。本発明は、領域指定付ベクトルスキャ

タ命令の領域開始アドレスと、領域終了アドレスを格納するレジスタと、前記領域指定付ベクトルスキャタ命令のアドレスと、該命令の後続メモリアクセス命令とのアドレスとが重なっているか否か検出する回路と、を備えたベクトルスキャタ（VSC）アドレス一致検出部を備え、命令発行制御部は、前記領域指定付ベクトルスキャタ命令のアドレスと一致した後続メモリアクセス命令をホールドさせるホールド制御回路を備えている。

【0027】

より詳細には、本発明は、その好ましい一実施の形態において、命令データを解読して、命令動作を指示する命令発行制御部（1）と、命令発行制御部（1）からのアドレスを受け取り、スカラ型メモリアクセス命令に対して、キャッシュの更新等、キャッシュの制御を行うキャッシュ制御部（2）と、命令発行制御部（1）からベクトル命令が発行された場合、実行指示を受け取り、前記ベクトル命令が、スキャタ領域の開始アドレスと終了アドレスが指定される領域指定付VSC命令（ベクトルスキャタ命令）である場合、メモリ（7）に対して、書き込むべきベクトルデータを送出するとともに、更に、キャッシュ無効化アドレスを送出するベクトルユニット（6）と、ベクトルユニット（6）からキャッシュ無効化アドレスを受け取り前記キャッシュの無効化を行うキャッシュ無効化制御部（4）と、命令発行制御部（1）から、領域指定付VSC命令が発行された場合、レジスタブロック（5）より、前記領域指定付VSC命令のスキャタ領域の開始アドレスと終了アドレスを受け取り、前記領域指定付VSC命令の後続のメモリアクセス命令とアクセスするアドレス領域が重なっているか否かを検出し、重なっている場合、アドレス一致信号をアクティブ状態として、命令発行制御部（1）に対して送出的VSCアドレス一致検出部（3）と、を備え、命令発行制御部（1）は、VSCアドレス一致検出部（3）から送出されたアクティブ状態の前記アドレス一致信号を受けて、後続のメモリアクセス命令を、ホールドさせるホールド制御回路（図2の105）を備えている。

【0028】

本発明において、前記領域指定付VSC命令は、オペコードと、X、Y、Zフィールドを有し、Zフィールドで、前記レジスタブロックの2本のレジスタを指

定し、それぞれに、スキヤタ領域の開始アドレスと、終了アドレスを指定する。

【 0 0 2 9 】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図 1 は、本発明の一実施例の基本構成を示す図である。

【 0 0 3 0 】

図 1 を参照すると、本発明の一実施例をなすベクトル処理装置において、命令発行制御部 1 と、レジスタブロック 5 と、キャッシュ制御部 2 と、VSC アドレス一致検出部 3 と、キャッシュ無効化制御部 4 がスカラプロセッサを構成しており、ベクトルユニット 6 と、メモリ 7 を備えている。

【 0 0 3 1 】

このうち命令発行制御部 1 は、信号線 7 1 を経由して、メモリ 7 から読み出した命令データを解読して、命令動作を指示する。

【 0 0 3 2 】

命令発行制御部 1 は、キャッシュ制御部 2 と、VSC (ベクトルスキヤタ命令) アドレス一致検出部 3 に対しては、信号線 1 2 を介して、アドレスを送出し、キャッシュアクセスと、VSC アドレス一致を行う。

【 0 0 3 3 】

命令発行制御部 1 は、レジスタブロック 5 に対して、信号線 1 5、5 1 を介して読み出し／書込みを制御する。

【 0 0 3 4 】

キャッシュ制御部 2 は、命令発行制御部 1 からのスカラロードがミス (ミスヒット) した場合、信号線 2 7 を介して、キャッシュリフィルデータを要求し、メモリ 7 からのデータを信号線 7 2 を介して受け取る。

【 0 0 3 5 】

また、キャッシュ制御部 2 は、スカラストア命令が発行された場合に、キャッシュにヒットした場合には、キャッシュデータを書き換え、更に、メモリ 7 に対しても、必ず書き換えるストアスルーアルゴリズムに基づく。

【 0 0 3 6 】

命令発行制御部 1 において、ベクトル命令が発行された場合、信号線 1 6 を介して、実行指示が、ベクトルユニット 6 に送られる。その際、ベクトル命令が V S C 命令（ベクトルスキヤタ命令）である場合、ベクトルユニット 6 は、メモリ 7 に対して書き込むべきベクトルデータを信号線 6 7 を介して送出し、更に、ベクトルユニット 6 は、信号線 6 4 を介して、キャッシュ無効化アドレスを、キャッシュ無効化制御部 4 に送出する。

【 0 0 3 7 】

また、V S C 命令が発行された場合、レジスタブロック 5 から信号線 5 3 を介して、V S C 命令の開始アドレスと、終了アドレスが、V S C アドレス一致検出部 3 に送られ、V S C アドレス一致検出部 3 では、後続のメモリアクセス命令とアクセスするアドレス領域が重なっているか判定し、重なっている場合、V S C アドレス一致検出部 3 から、信号線 3 1 を介して、アドレス一致信号が、命令発行制御部 1 に送られる。

【 0 0 3 8 】

次に、本発明で、新たに提案されている、領域指定付 V S C 命令の仕様について、図 3 を参照して説明する。

【 0 0 3 9 】

図 3 に示すように、命令フィールドは、前述のように、O P C（オペコード）と、X、Y、Z の 4 つのフィールドに分けられる。通常の V S C 命令と異なるところは、Z フィールドにおいて、レジスタブロック 5 内にある、 R_n と R_{n+1} の 2 本のレジスタを指定し、それぞれに、スキヤタ領域の開始アドレスと、終了アドレスを指定することである。なお、V S C 命令では、X、Y フィールドは、ベクトルユニット 6 のベクトルレジスタの番号を指定するための用いられる。

【 0 0 4 0 】

図 2 は、本発明の一実施例における命令発行制御部 1 と、レジスタブロック 5 と、V S C アドレス一致制御部 3 の構成を説明するための図である。

【 0 0 4 1 】

図 2 を参照すると、メモリから信号線 7 1 を介して供給される命令データは、

一旦、命令キャッシュ 1 0 1 に格納され、D ステージレジスタ 1 0 2 の O P C (命令コード)、X、Y、Z の 4 つのフィールドに格納する。

【 0 0 4 2 】

その後、E E ステージレジスタ 1 0 3 に、命令コードと、X フィールドと、Y フィールドが移動し、それと同時に、レジスタブロック 5 のレジスタ 5 0 から、E E ステージのレジスタ Y data ee と Z data ee に、オペランドデータを読み出す。

【 0 0 4 3 】

L D S 命令の場合には、次の E C ステージレジスタ 1 0 4 に、E E ステージレジスタ 1 0 3 の情報を移行すると同時に、A A D (アドレス加算器) 1 1 5 で計算したアドレスを、アドレス e c (レジスタ) に格納し、キャッシュアクセスに使用する。アドレス e c (レジスタ) の出力は、図 1 のアドレス 1 2 として、キャッシュ制御部 2 として出力され、また V S C アドレス一致検出部 3 に供給される。

【 0 0 4 4 】

また、本発明によって新たに設けられた領域指定 V S C 命令の場合は、E E ステージの Z data ee (ラッチ) を介して読み出された、V S C 開始アドレスと終了アドレスを、それぞれ、E C ステージの V S C 開始アドレス e c と、V S C 終了アドレス e c に格納する。なお、図 2 の H L D (ホールド) 制御部 1 0 5 から V S C 開始アドレス e c と、V S C 終了アドレス e c に供給される信号 H は、データをホールドする信号である。

【 0 0 4 5 】

その後、H L D 制御部 1 0 5 からの V S C 発行信号 1 3 によってストロブされ、V S C 開始アドレス e c と、V S C 終了アドレス e c の保持データは、E B ステージの V S C 開始アドレス e b (ラッチ) と、V S C 終了アドレス e b (ラッチ) にセットされる。

【 0 0 4 6 】

これらの情報は、次の領域指定付 V S C 命令発行まで、保持される。

【 0 0 4 7 】

VSCアドレス一致検出部3は、後続のメモリアクセス命令のアクセスアドレスを保持するアドレスecと、VSC開始アドレスebの値を比較し、後続のメモリアクセス命令のアクセスアドレスがVSC開始アドレス以上であるときアクティブ状態の信号を出力する比較器301と、アドレスecと、VSC終了アドレスebとを比較し、前記後続のメモリアクセス命令のアクセスアドレスがVSC終了アドレス以下であるときアクティブ状態の信号を出力する比較器302と、比較器301、302の出力のがともにアクティブのとき、アクティブ状態のアドレス一致信号31をHLD制御部105に出力する論理積回路303を備えている。

【0048】

そして、領域指定付VSC命令の発行直後の後続LDS命令からアクセスするアドレスが、VSC命令のスキヤタ領域と重なった場合に、VSCアドレス一致信号31がアクティブとなり、HLD制御部105に送られ、これを受けてHLD制御部105は、ECHLD信号をアクティブとし（オンし）、この信号は、キャッシュ無効化制御部4から出力されるキャッシュ無効化終了信号41がオンする（キャッシュ無効化処理が終了する）まで、オン状態とされ、後続のLDS命令は、命令発行制御部1のECステージにホールドされる。

【0049】

ECステージで待っているLDS命令にも、後続命令が存在する場合には、HLD制御部105は、EEHLD信号、もしくはDHLD信号をオンさせて、これらの後続命令を、EEステージ、もしくはDステージで待たせる。

【0050】

なお、図2において、REG更新制御部111は、レジスタブロック5のレジスタ50を更新制御するものであり、例えば公知のWAWハザードの回避制御を行う。また、VSC命令の場合、ECステージレジスタ104のX/Yecからの出力は、ベクトルレジスタの番号であり信号線16から、ベクトルユニット6に供給される。

【0051】

次に、本発明の一実施例における、領域指定付VSC命令と、その直後に存在

する LDS 命令の動作タイミングについて、図 4、及び図 5 を参照して説明する。これら 2 つの例では、後続の LDS 命令がキャッシュヒットした場合を想定している。

【 0 0 5 2 】

図 4 には、領域指定付 VSC 命令で指定された領域（スキヤタ領域）と、後続の LDS がアクセスするアドレスが重ならなかった場合、すなわち、アドレス一致しない場合のタイミング動作が示されている。なお、図 4、図 5 において、D、EE、EC、EB は、図 2 に示した命令発行制御部 1 内の D ステージ、EE ステージ、EC ステージ、EB ステージ（VSC 開始アドレス e_b 、VSC 終了アドレス e_b ）の各ステージに対応している。

【 0 0 5 3 】

領域指定付 VSC 命令は、Z オペランド（Z d）に指定される、レジスタ R_n 、 R_{n+1} と 2 回読む必要があるため、D ステージで、2 つに分解される（図 4 の VSC 1st、VSC 2nd）。なお図 2 のインクリメンタ（+1）は、レジスタ R_n 、 R_{n+1} と二回読むための制御回路である。

【 0 0 5 4 】

タイミング 3、4 で、VSC 命令発行 1 3 が出力され、その時に、各々、VSC 開始アドレス e_b と、VSC 終了アドレス e_b に格納される。

【 0 0 5 5 】

その後、LDS 命令がタイミング 5 で、EC ステージから発行されると、タイミング 6 で、キャッシュデータを読みこみ、タイミング 7 には、レジスタブロック 5 の WDR (write data register) にキャッシュデータを格納し、タイミング 8 で、WDR からレジスタ 50 に書き込んで、LDS 命令の実行を終了する。なお、レジスタブロック 5 の WAR は (write address register) であり、レジスタ 50（レジスタファイル）の中の複数のレジスタの一つを選択する。

【 0 0 5 6 】

次に、VSC 命令で指定された領域と、後続の LDS がアクセスするアドレスが重なった場合、すなわち、アドレス一致した場合の動作について、図 5 を参照して説明する。図 4 に示したアドレス不一致の場合との違いは、タイミング 5 で

、VSCアドレス不一致がオンしたところから始まる。

【0057】

その後、LDS命令は、タイミング7で、キャッシュ無効化終了信号41がオンするまで、ECステージで、ECHLD信号をオンさせて、ホールドされる。

【0058】

その後、アドレス不一致の場合と同様にして、LDS命令の結果を、レジスタブロック5のWDRを介して、レジスタ50に、データを書き込む。

【0059】

本発明の一実施例においては、命令制御回路において、領域指定VSC命令によって、アクセスするメモリ領域に関する示唆を、プログラマ（すなわちプログラマがコーディングしたプログラム）より得ることで、後続のLDS命令の追い越し制御が可能となり、大幅な性能向上が実現できる。本発明の一実施例の効果を、図6を参照して、より詳しく説明する。

【0060】

まず、VST命令の場合、発行時点でアクセスする領域が判るため、直ちに、キャッシュ無効化が実現でき、後続のLDS命令の追い越し制御が可能となる。もし、追い越しが可能であると判定された場合には、キャッシュ無効化中でも、LDS命令の実行は可能となる。

【0061】

一方、従来技術におけるVSC命令の場合、命令発行時点ではメモリアクセス領域が判らず、またランダムでもあるため、後続のLDS命令の追い越し制御は不可能であり、キャッシュ無効化処理終了まで待たなくてはならない。

【0062】

本発明によれば、VSC命令であっても、VST命令のように、後続LDS命令の追い越し制御を可能としている。

【0063】

そして、従来技術においては、後続LDS命令の待ちが、任意のアドレスについてVSC発行直後からキャッシュ無効化終了まで必要となる。

【0064】

これに対して、本発明によれば、この待ち時間は、アドレス一致しない場合にはなくなる。このため、きわめて高い頻度で出現するLDS命令の性能向上に特段に寄与する。

【0065】

【発明の効果】

以上説明したように、本発明によれば、領域指定VSC命令によって、アクセスするメモリ領域に関する示唆を、プログラムから得ることで、後続のLDS命令の追い越し制御を可能としており、処理性能を特段に向上することができる、という効果を奏する。その理由は、本発明においては、命令中でスキヤタ領域が指定されるベクトルスキヤタ命令がアクセスするアドレスと、後続のメモリアクセス命令のアドレスとが重なっているか否かを検出する手段と、アドレスが重なっている場合には、前記後続のメモリアクセス命令をホールドさせる手段とを備えたためである。

【図面の簡単な説明】

【図1】

本発明の一実施例の構成を示す図である。

【図2】

本発明の一実施例における命令実行制御部とVSCアドレス一致検出部の構成を示す図である。

【図3】

本発明の一実施例におけるVSC命令を説明するための図である。

【図4】

本発明の一実施例の動作を説明するための図である。

【図5】

本発明の一実施例の動作を説明するための図である。

【図6】

VSC命令と後続LDS命令の処理を説明するための図である。

【図7】

LDS命令の処理を説明するための図である。

【図 8】

従来の VGT、VSC 命令を説明するための図である。

【符号の説明】

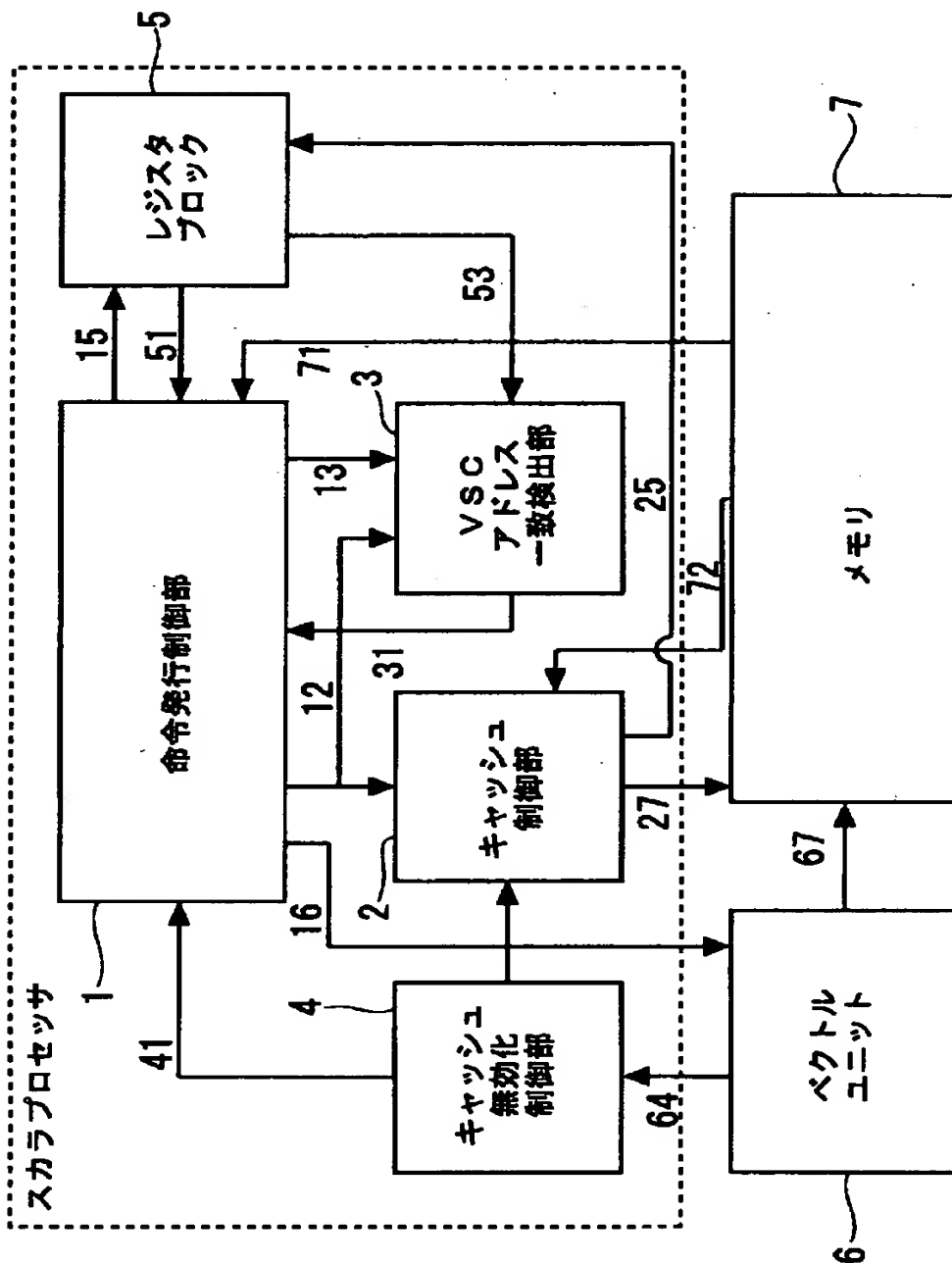
- 1 命令発行制御部
- 2 キャッシュ制御部
- 3 VSC アドレス一致検出部
- 4 キャッシュ無効化制御部
- 5 レジスタブロック
- 6 ベクトルユニット
- 7 メモリ
- 12 アドレス信号
- 13 VSC 発行信号
- 15、51 信号線
- 16 ベクトル命令発行指示
- 25 制御信号
- 27 アドレス
- 31 アドレス一致信号
- 41 キャッシュ無効化終了信号
- 50 レジスタ
- 64 無効化アドレス
- 67 アドレス信号
- 71 命令データ
- 72 データ
- 101 命令キャッシュ
- 102 D ステージレジスタ
- 103 EE ステージレジスタ
- 104 EC ステージレジスタ
- 105 HLD 制御部
- 301、302 比較器

303 論理積回路

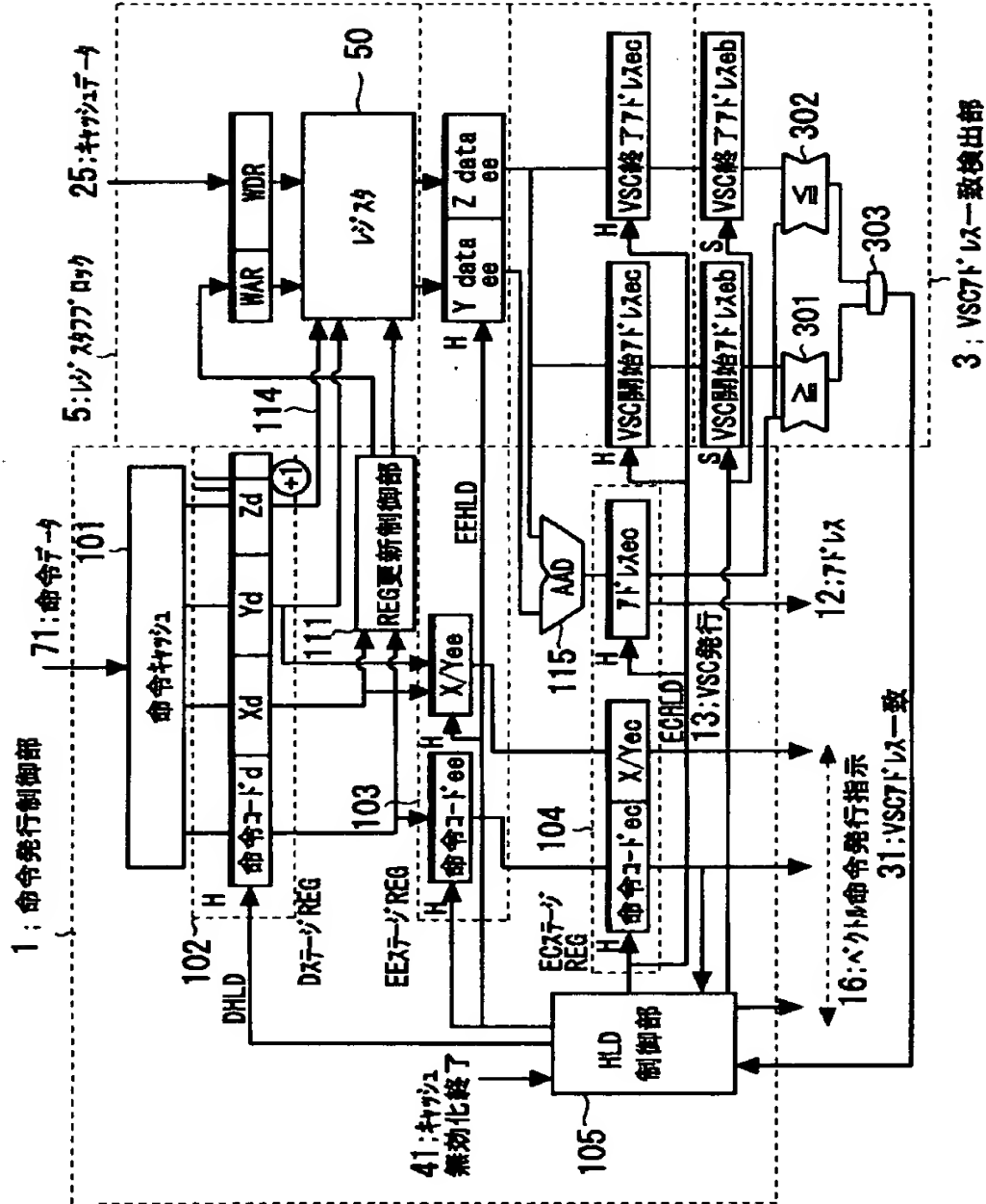
【書類名】

図面

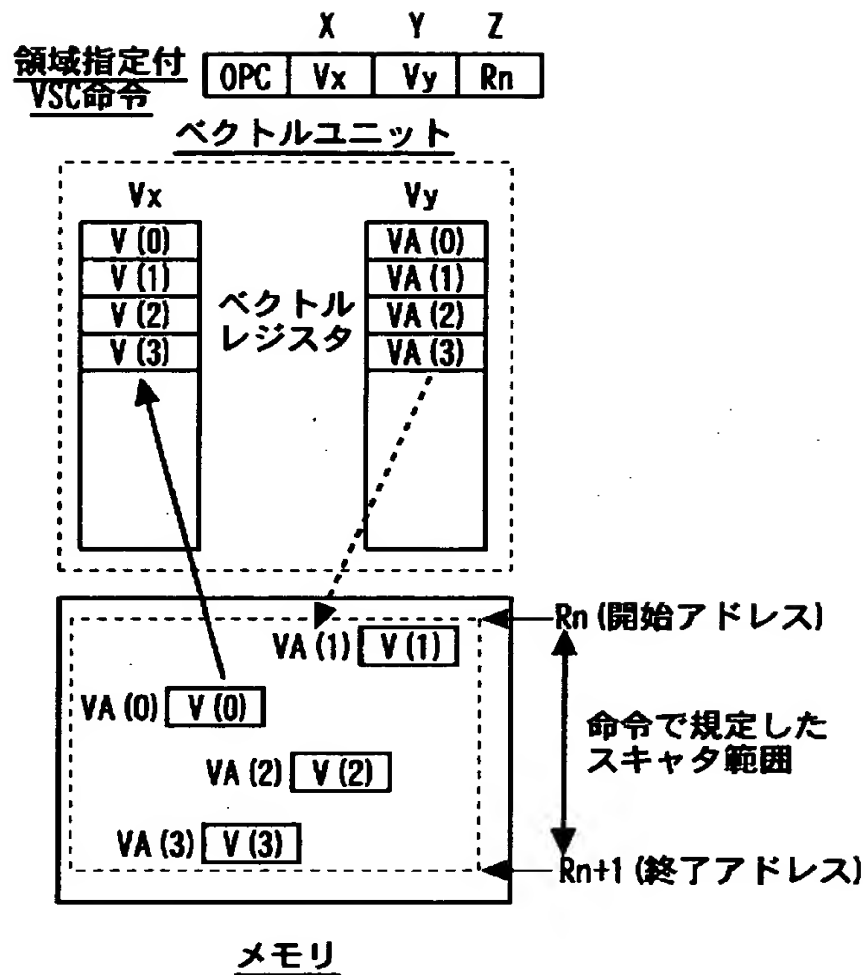
【図 1】



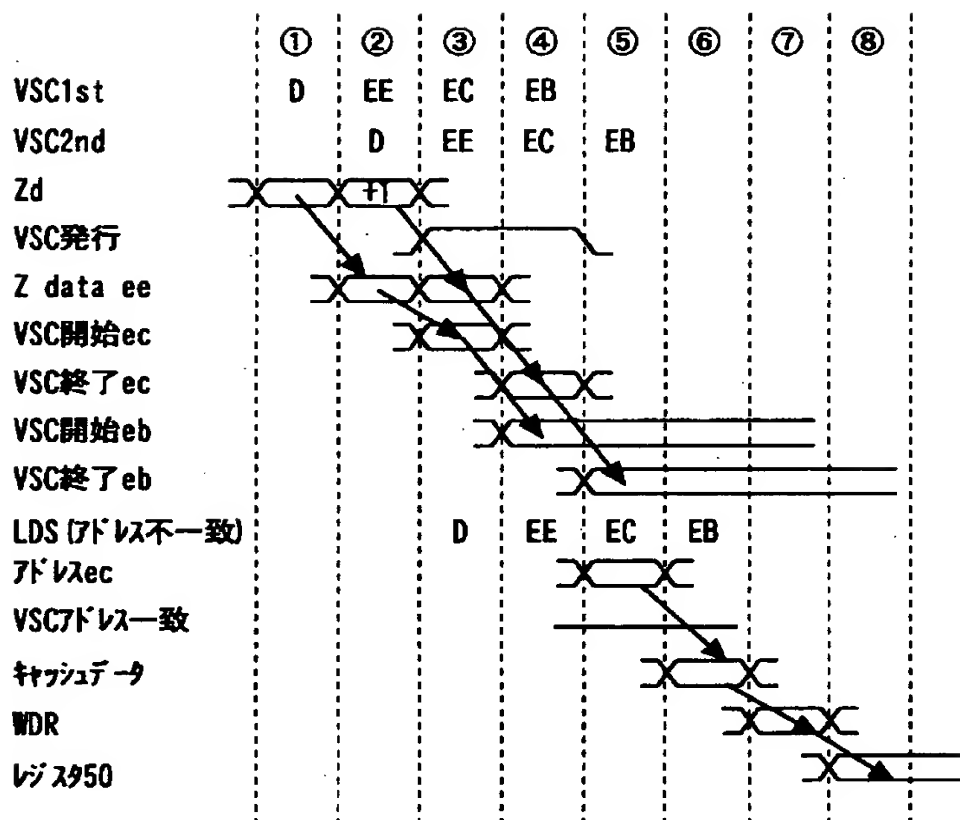
【図2】



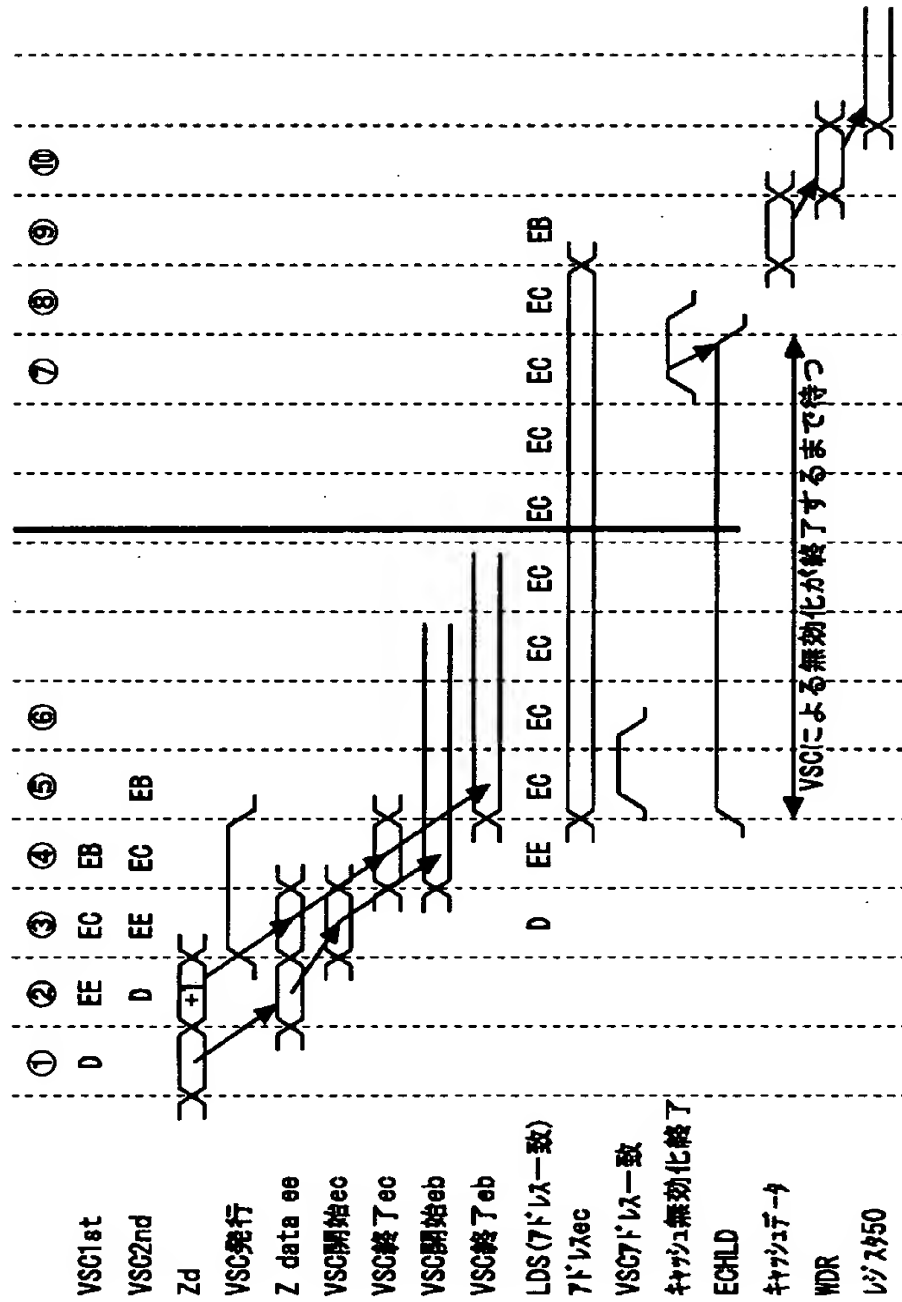
【図 3】



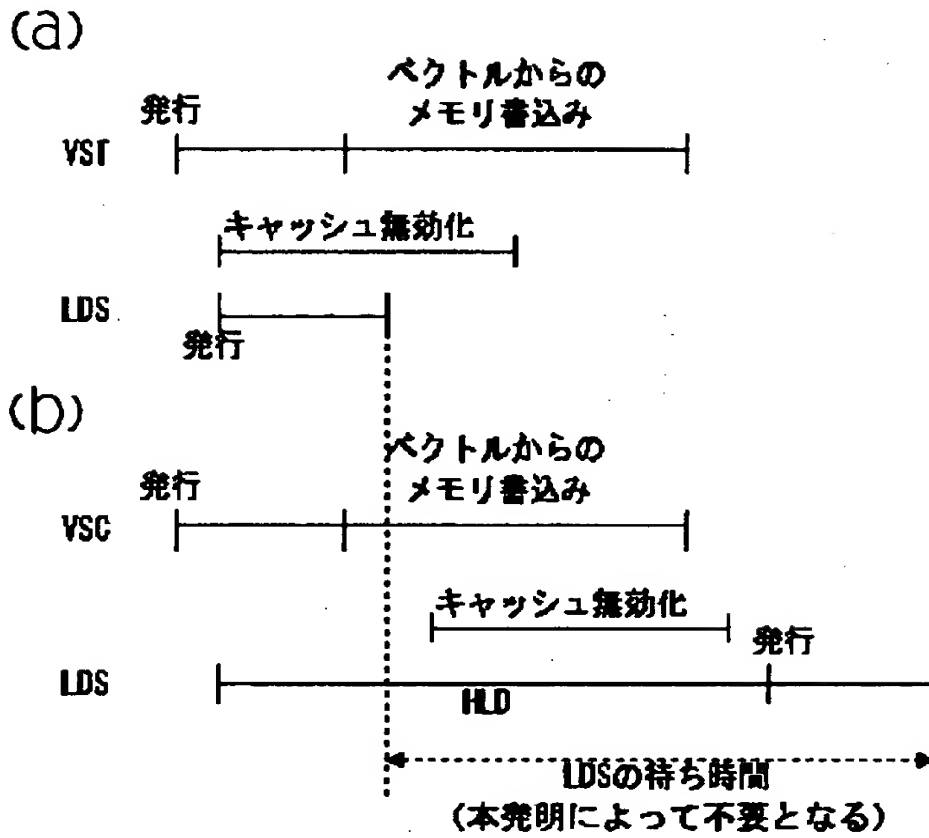
【図 4】



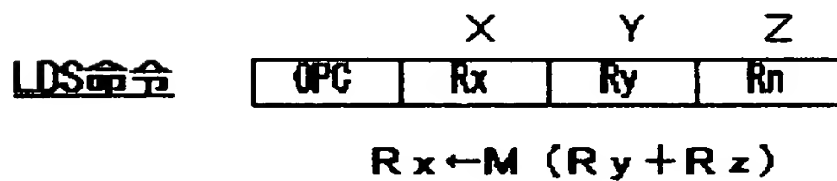
【図5】



【図 6】

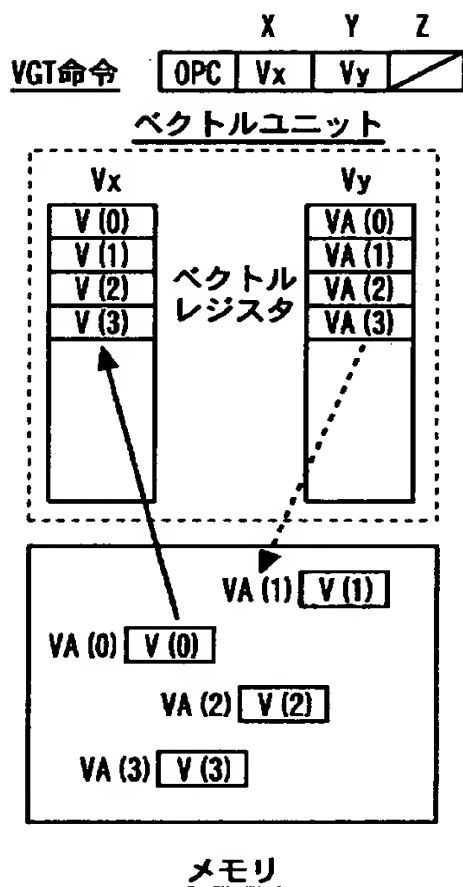


【図 7】

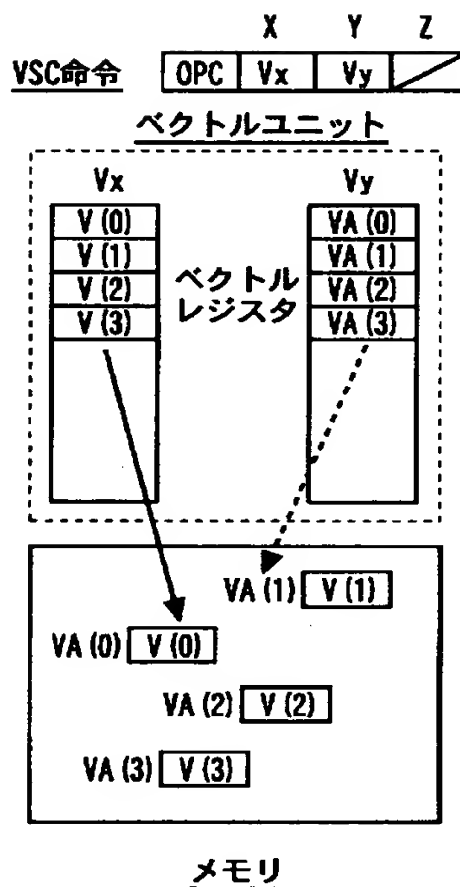


【図 8】

(a)



(b)



【書類名】 要約書

【要約】

【課題】

ベクトルスキャタ命令でのキャッシュ無効化処理による後続命令の発行延期の回避と、ベクトルスキャタ命令の追い越し制御を可能とし、性能向上を実現する装置の提供。

【解決手段】

領域指定付ベクトルスキャタ命令の領域先頭アドレスと、領域終了アドレスを格納するレジスタと、前記領域指定付ベクトルスキャタ命令のアドレスと、該命令の後続メモリアクセス命令とのアドレスとが重なっているか否か検出する回路と、を有するVSCアドレス一致検出部3と、命令発行制御部1は、VSCアドレス一致検出部からのアドレス一致信号を受けて、前記領域指定付ベクトルスキャタ命令のアドレスと一致した後続メモリアクセス命令をホールドさせるホールド制御回路を備える。

【選択図】

図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社